

M E G A F R A M E Serie

Hardware Dokumentation

Copyright: PARSYTEC GmbH

Autor :
Dr. Gerhard H. Peise

TPM-1 Transputer Prozessor Modul

Technische Dokumentation

Version 1.2

Juli 1987

TPM-1 - Transputer Prozessor Modul

Technische Dokumentation Version 1.2

Juli 1987

Inhalt:

1) Blockschaltbild und Beschreibung	2
2) Jumperbelegung	3
3) Hardware Adressen	5
4) Softwareadressen der Links	6
5) Bootstrap	6
6) Error und Analyse	7
7) Programmgesteuerter Reset	8
8) Belegung der VG-Leiste	9
9) Die PALs	10

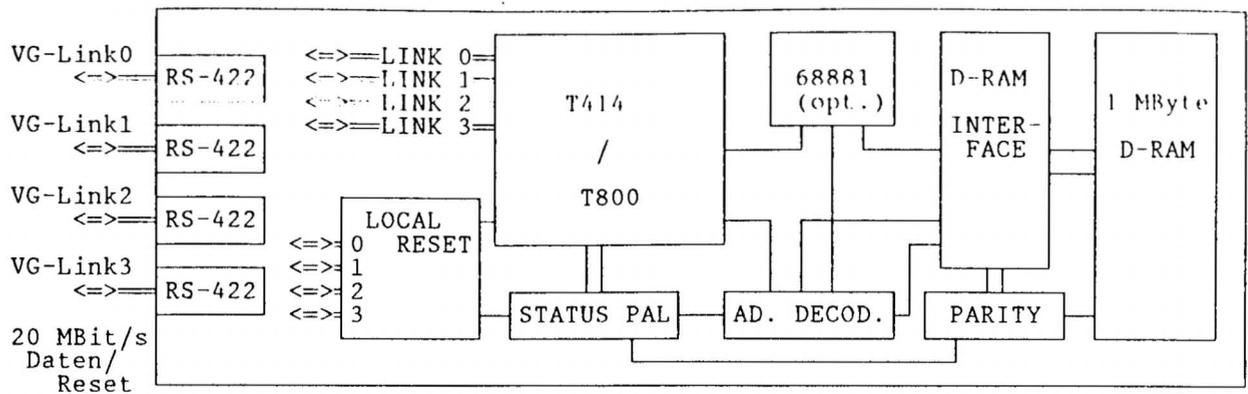


Bild 1 : Blockschaltbild des TPM-1

Das TPM-1 32-Bit Transputerboard hat einen Arbeitsspeicher von 1 MByte mit voller Paritätsprüfung und optionaler Floating-Point Hardware. Die Standardversion enthält einen 20 MHz T414, 80 ns 256k D-RAMs und arbeitet beim Speicherzugriff ohne wait-state.

Der optionale MC 68881 Floating-Point Coprozessor ist memory-mapped an den lokalen Transputerbus angeschlossen. Die Kontrolle erfolgt über eine Bibliothek, die die Occam Simulationsbibliothek ersetzt und bei doppelter Genauigkeit die Verarbeitungsleistung um einen durchschnittlichen Faktor 20 steigert.

Mit dem Erscheinen des T800 Floating-Point Transputers, der den bisherigen T414 ersetzt, wird die Coprozessorversion abgelöst.

Ein Statusregister hält alle Fehlerbedingungen fest und kann jederzeit ausgelesen werden. Je ein Bit ist vorgesehen für Transputerfehler, Adreß- sowie Parityfehler. Im Fehlerfalle wird der Analysezustand eingeleitet, d.h. alle aktiven Prozesse werden systematisch heruntergefahren und das System kann von außen neu gestartet werden. Die aufgetretene Fehlerbedingung kann ausgelesen und analysiert werden.

Die 4 Transputerlinks sind nach RS-422 gepuffert und über die VG-Leiste herausgeführt. Über twisted-pair Kabel können bei 20 MBit/s bis zu 10 m überbrückt werden. Für größere Entfernungen werden die Links über Jumper auf 10 bzw. 5 MBit/s eingestellt.

Parallel zu jedem Link besteht die Möglichkeit eines programmgesteuerten bidirektionalen Resets. Damit hat in einem Netzwerk jeder 32-Bit Transputer die Möglichkeit, über Kommunikation die Aktivitäten der 4 nächsten Nachbarn zu kontrollieren und im Fehlerfalle zurückzusetzen und neu zu starten.

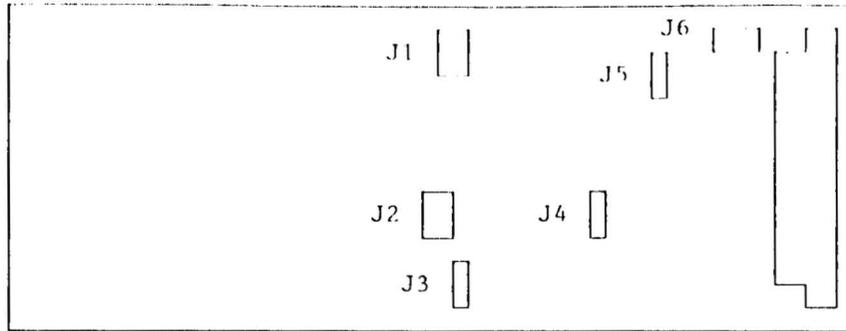


Bild 2: Jumperpositionen

2) Jumperbelegung

- J1 : Selektion von RAS, MUX, CAS
- J2 : Speicheransteuerung
- J3 : Chip select für Identifikations-PAL
- J4 : MUX-Delay
- J5, J6 : Linkgeschwindigkeiten

Brücken sind je Jumperleiste mit B1 beginnend nummeriert.

J1:	T414 (T800)	20 MHz
	RAM 120 ns	RAM 80 ns
x --B1-- x	B1	B1
x --B2-- x	offen	offen
x --B3-- x	offen	offen
x --B4-- x	B4	B4
x --B5-- x	offen	offen
x --B6-- x	offen	offen
x --B7-- x	B7	B7
x --B8-- x	offen	offen

J2:	RAM 120 ns	RAM 80 ns
x --B1-- x	offen	offen
x --B2-- x	B2	offen
x --B3-- x	offen	offen
x --B4-- x	offen	B4

J3 : Basisadresse des Identifikations-PALS

x
B1 B1: Basisadresse 20000000 hex
x
B2 B2: Basisadresse 20000030 hex
x

J4 : MUX-Delay für RAM-Selektion

x
B1 Delay 0 ns: B2 und B4 gesetzt (standard)
x
B2 Delay 10 ns: B1 und B3 gesetzt
x
B3
x
B4
x

J5 : Linkgeschwindigkeit

x
B1
x
B2 J6 : Linkgeschwindigkeit
x x --B1-- x --B2-- x
 x --B3-- x --B4-- x

Es können folgende Geschwindigkeitskombinationen gewählt werden :

1) alle Links auf 20 MBit/s	J5-B1	J6-B2	J6-B4
2) alle Links auf 10 MBit/s	J5-B1	J6-B1	J6-B3
3) alle Links auf 5 MBit/s	J5-B2	J6-B2	J6-B4
4) Link 0 20 MBit/s, Link 1-3 10 MBit/s	J5-B1	J6-B2	J6-B3
5) Link 0 10 MBit/s, Link 1-3 20 MBit/s	J5-B1	J6-B1	J6-B4
6) Link 0 10 MBit/s, Link 1-3 5 MBit/s	J5-B2	J6-B1	J6-B4
7) Link 0 5 MBit/s, Link 1-3 10 MBit/s	J5-B2	J6-B2	J6-B3

Standard Konfiguration (Juli 1986):

J5-B1 , J6-B1 , J6-B4 gesetzt

Link 0 10 MBit/s (für C003 auf IOS1)
Link 1,2,3 20 MBit/s

3) Hardware Adressen

Adreßraum des T414 (T800)

Hardware Adressen		Adressen in derzeitiger OCCAM-2-Implementierung PLACEMENT als Wortadresse
0000 00C0	Reset	#2000 0030
0000 0080	Status	#2000 0020
0000 0040	Floating Point Coprozessor	#2000 0010
0000 0000	Identifikations-PAL (optional)	#2000 0000
800F FFFF		#0003 FFFF
...	1 MByte Arbeitsspeicher	...
8000 0000		#0000 0000

Das Identifikations-PAL ermöglicht dem Anwender, jedem Board eine bis zu 8 Byte lange Identifikation zu geben. Diese Bytes liegen adreßmäßig jeweils auf Wortgrenzen und erscheinen auf den Bits 0 bis 7. Die Adressen der einzelnen Bytes sind:

#20000000	Byte 1
#20000001	Byte 2
#20000002	Byte 3
#20000003	Byte 4
#20000004	Byte 5
#20000005	Byte 6
#20000006	Byte 7
#20000007	Byte 8

Der optionale MC 68881 Floating Point Coprozessor wird ausschließlich über die "Parsytec 68881 Coprozessor Bibliothek" bedient. Jeder zusätzliche Direktzugriff durch den Anwender beeinflußt die Synchronisation der beiden Prozessoren und führt zu nicht vorhersehbaren Ergebnissen. Für ganz Neugierige hier trotzdem die Systemadressen:

Response:	#20000010
Control:	#20000011
Save:	#20000012
Restore:	#20000013
Operation:	#20000014
Command:	#20000015
(Reserved)	#20000016
Condition:	#20000017
Operand:	#20000018
Register select:	#2000001A

4) Software - Adressen der Links

Nach Deklaration der Kanäle gilt folgende Adreßzuordnung für die 4 Links des T414 (T800) :

```
PLACE Link0.Output AT #0 :  
PLACE Link1.Output AT #1 :  
PLACE Link2.Output AT #2 :  
PLACE Link3.Output AT #3 :  
PLACE Link0.Input  AT #4 :  
PLACE Link1.Input  AT #5 :  
PLACE Link2.Input  AT #6 :  
PLACE Link3.Input  AT #7 :
```

5) Bootstrap

Das TPM steht grundsätzlich auf BootFromLink, d. h. nach jedem Reset erwartet der Prozessor sein Programm über einen Link. In diesem Zustand sind alle 4 Links zunächst gleichberechtigt. Die erste Nachricht, die über einen dieser Links kommt, wird als Bootprogramm interpretiert und ausgeführt.

6) Error und Analyse

Das TPM 1 bietet die Möglichkeit, bei Fehlerzuständen mit einem gezielten Shutdown aller Prozesse zu reagieren. Es können grundsätzlich nur 3 Typen von Fehlern auftreten: Programm-, Adressierungs- und Parityfehler. Programmfehler wie Division durch 0, Integer Overflow oder Arrayüberschreitung werden vom Transputer durch Setzen der Error-Flagge signalisiert. Damit wird automatisch der Analysezustand eingeleitet und alle aktiven Prozesse heruntergefahren. Nach Reset von außen kann der in den Fehlerzustand geratene Transputer über einen Link mit Programmcode geladen, analysiert und neu gestartet werden.

Eine externe Adressdekodierung stellt Überschreitungen des on-board RAM-Bereiches fest und setzt ein Bit im Status-PAL. 4 Bits sind reserviert für Paritätsfehler. Sobald ein Bit des Status-PALs gesetzt ist, wird, analog zum Transputer-Error, der Analysezustand eingeleitet und alle aktiven Prozesse heruntergefahren.

Die Adressen der Status-PALs sind oben aufgeführt. Die Bits 0 bis 5 haben, wenn gesetzt (active low), folgende Bedeutung:

- Bit 0 = 0 : Transputer-Error
- Bit 1 = 0 : Adressfehler
- Bit 2 = 0 : Parity Bit 0
- Bit 3 = 0 : Parity Bit 1
- Bit 4 = 0 : Parity Bit 2
- Bit 5 = 0 : Parity Bit 3

7) Programmgesteuerter Reset

Parallel zu jedem Link wird eine Resetleitung geführt, welche den angesprochenen Transputer in den Bootzustand versetzt. Damit besteht die Möglichkeit, über die Links die Aktivität der vier nächsten Nachbartransputer zu beobachten und im Fehlerfalle einen gezielten Reset durchzuführen. Danach können sie über die Links mit neuem Programmcode versorgt und neu gestartet werden.

Folgendes Programmbeispiel zeigt die zum Reset notwendige Befehlssequenz:

```
PROC reset ( VAL INT kanal )
  -- Reset Kanal 0: kanal = 1
  -- Reset Kanal 1: kanal = 2
  -- Reset Kanal 2: kanal = 4
  -- Reset Kanal 3: kanal = 8
  INT addr.reset :
  PLACE addr.reset AT #20000030 : -- Adresse des Reset-PALs
  TIMER clock :
  VAL INT wait IS 2 :           -- 2 mal 64 Mikrosekunden
  SEQ
    addr.reset := 0             -- Diese Sequenz ermöglicht
    addr.reset := 1             -- erst das Aussenden eines
    addr.reset := 2             -- Resets.
    addr.reset := 3             --
    addr.reset := kanal         -- Reset für Kanalnummer setzen
    clock ? time                --
    clock ? AFTER time PLUS wait -- 128 Mikrosekunden warten
    addr.reset := 0             -- Reset löschen
  :
```

8) Steckerbelegung der 64-poligen VG-Leiste

c		a	
Reset 0 out +	1	Reset 0 out -	
Link 0 out +	2	Link 0 out -	
GND	3	GND	
Link 0 in -	4	Link 0 in +	
Reset 0 in -	5	Reset 0 in +	
GND	6	GND	
Reset 1 out +	7	Reset 1 out -	
Link 1 out +	8	Link 1 out -	
GND	9	GND	
Link 1 in -	10	Link 1 in +	
Reset 1 in -	11	Reset 1 in +	
GND	12	GND	
Reset 2 out +	13	Reset 2 out -	
Link 2 out +	14	Link 2 out -	
GND	15	GND	
Link 2 in -	16	Link 2 in +	
Reset 2 in -	17	Reset 2 in +	
GND	18	GND	
Reset 3 out +	19	Reset 3 out -	
Link 3 out +	20	Link 3 out -	
GND	21	GND	
Link 3 in -	22	Link 3 in +	
Reset 3 in -	23	Reset 3 in +	
GND	24	Master Reset	
	25		
	26		
+ 5	27	+ 5	
+ 5	28	+ 5	
+ 5	29	+ 5	
GND	30	GND	
GND	31	GND	
GND	32	GND	

9) Die PALs

		RAM 120 ns	RAM 80 ns
IC F3	Decol	20L8B-2	20L8B
IC E4	Deco2	16L8B-2	16L8B
IC F9	Status	16R6B-2	16R6B
IC G8	Identifikation	16L8B-4	16L8B-4
IC G9	Reset	20R6B-4	20R6B-4